

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G01R 31/26

(11) 공개번호 특2002-0075270
(43) 공개일자 2002년10월04일

(21) 출원번호 10-2002-0015253
(22) 출원일자 2002년03월21일
(30) 우선권주장 JP-P-2001-00082019 2001년03월22일 (일본(JP))
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄도 치요다구 간다즈루가다이 4쵸메 6반치
(72) 발명자 이시바시 고이찌로
일본사이타마현와라비지미나미마찌3-7-6
(74) 대리인 장준길, 구영환

심사청구 : 없음

(54) 반도체 집적 회로 장치

요약

미세화에 따라 누설 전류가 증가된 경우에 있어서도 단시간에 1000 테스트를 행할 수 있는 수단을 구비한 반도체 집적 회로 장치를 제공하는 것이다. 반도체 집적 회로 장치를 복수의 회로 블록으로 분할하고, 각각의 회로 블록의 정지 상태에서의 전원 전류를 비교하여, 다른 회로 블록에 비해 소정값보다도 큰 전원 전류를 나타내는 블록을 구별하여 표시하는 신호를 발생시키는 회로를 구비한다.

도면도

도1

제2도

반도체 집적 회로, 회로 블록, 전원 전류, 정지 상태, 누설 전류, 전위차, 전원 단자, 전류 미러 회로

발명

도면의 간단한 설명

도 1은 본 발명에 관한 반도체 집적 회로 장치의 제1 발명의 실시 형태를 설명하기 위한 구성도.

도 2는 제1 발명의 실시 형태에 있어서의 테스트의 판정 방법을 설명하기 위한 도면.

도 3은 본 발명의 반도체 집적 회로 장치의 제1 발명의 실시 형태를 설명하기 위한 블록의 구성도.

도 4는 제1 발명의 실시 형태의 사용 스텝을 설명하기 위한 도면.

도 5는 제1 발명의 실시 형태의 테스트 수준을 설명하기 위한 흐름도.

도 6은 본 발명의 반도체 집적 회로의 제조-검사를 설명하기 위한 흐름도.

도 7은 제1 발명의 실시 형태의 실장을 설명하기 위한 평면도.

도 8은 제1 발명의 실시 형태의 실장을 설명하기 위한 별도의 평면도.

도 9는 본 발명의 제2 발명의 실시 형태를 설명하기 위한 구성도.

도 10은 본 발명의 제3 발명의 실시 형태를 설명하기 위한 구성도.

도 11은 본 발명의 제4 발명의 실시 형태를 설명하기 위한 구성도.

도 12는 본 발명의 제5 발명의 실시 형태를 설명하기 위한 구성도.

도 13은 본 발명의 제6 발명의 실시 형태를 설명하기 위한 구성도.

도 14는 본 발명의 제7 발명의 실시 형태를 설명하기 위한 구성도.

<도면의 주요 부분에 대한 부호의 설명>

1, 2 : 블록

3, 31, 32 : 비교 회로

- 4. 데이터 블록
- 5. 전류 미러 회로
- 6. 741 접속점
- 11. 논리 블록
- 12. 메모리 블록
- A1, A2, A11~A14 : 전류계
- Vdd1, Vdd2, Vddt, Vss : 전원 단자
- PF1, PF11, PF12 : 판정 결과 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 집적 회로에 관한 것으로, 특히, 누설 전류가 큰 CMOS (Complementary Metal Oxide Semiconductor) 반도체 집적 회로의 불량품을 단시간에 선별하기에 적합한 기능을 내장하는 반도체 집적 회로 장치에 관한 것이다.

종래에 있어서, CMOS 반도체 집적 회로의 불량품을 선별하는 방법으로서, 반도체 집적 회로를 정지 상태 (Quiescent)로 하고, 그 전원 전류(IDD)를 측정하는 방법, 즉 IDD 테스트가 일반적으로 알려져 있다. 이는 정지 상태에 있어서는 전류가 흐르지 않고, 불량이 있는 장소에서만 누설 전류가 흐른다고 하는 CMOS 반도체 집적 회로가 갖는 성질을 이용한 것이다.

IDD 테스트는 불량품의 선별에는 유효한 방법이지만, 통상 전류 측정은 전압 측정보다도 시간이 걸리므로, 테스트 시간의 증가에 수반되는 비용 증가를 유발하는 문제가 있었다. 이 문제에 대하여, 일본 국 특개평 6-58981호 공보에서는, 전원 전류를 저항에 의해 전압으로 변환한다. 그리고, 변환한 전압을 증폭하여, 그 전압값으로부터 정상품인지 아니면 불량품인지의 여부를 나타내는 신호를 출력한다.

발명이 이루고자 하는 기술적 과제

최근, CMOS 반도체 집적 회로의 미세화에 따라, 트랜지스터의 채널이 작게 되고 있으며, 동작 전원 전압도 그에 따라 저하되는 경향이 있다. 또한, 전원 전압의 저하에 따라 트랜지스터의 임계치 전압을 저하시킬 필요가 요구되고 있다.

그것은 임계치 전압이 높은 채로 있으면, 신호의 한쪽 레벨인 전원 전압값이 임계치 전압에 접근하여, 신호의 변별이 불충분하게 될 우려가 발생하기 때문에, 신호의 한쪽 레벨과 임계치 전압차를 충분히 취하기 위하여 임계치 전압을 낮추어야 한다.

한편, 임계치 전압을 낮추면, 이번에는 신호의 다른쪽 레벨인 접지 레벨이 임계치 전압에 접근한다. 일반적으로, 트랜지스터는 인가된 전압에 대하여, 임계치 전압까지는 근소한 전류밖에 흐르지 않지만, 임계치 전압을 초과하면 갑자기 전류가 흐르기 시작하는 성질이 있다. 그러나, 이러한 근소한 전류가 누설 전류로 되어, 인가된 전압이 임계치 전압에 접근함에 따라, 이 누설 전류는 증가한다. 즉, 트랜지스터는 임계치 전압의 저하와 함께, 누설 전류가 증가하는 경향을 갖는 것으로 된다.

또한, MOS 트랜지스터의 게이트 산화막이 박막화되기 때문에 터널 전류가 증가하는 경향도 있다. 이것도 누설 전류를 형성한다. 이 터널 전류와 상술한 임계치 전압의 저하에 의한 누설 전류는 미세화에 따라 증가하고, CMOS 반도체 집적 회로는 정지 상태에 있어도 상당한 누설 전류가 흐르게 된다. 또한, 이 누설 전류는 전술한 불량에 있는 장소에서만 흐르는 누설 전류와는 성질이 상이하므로, 이하에서는 정상 누설 전류로 칭하는 것으로 한다.

일반적으로, 반도체 집적 회로에서는 제조 편차에 의해 정상 누설 전류에 편차가 발생하는 것을 피할 수 없다. 미세 가공에 따라 누설 전류가 증가하면, 그 편차의 폭도 크게 되고, 누설 전류를 전원 전류로 측정할 때, 예를 들어, 어떤 칩에서는 전원 전류가 10 마이크로 암페어, 또 동일한 설계의 별도의 칩에서는 100 마이크로 암페어와 같이, 정상품이면서도 칩에 의해 정상 누설 전류가 상이한 상황이 일어날 수 있다.

IDD 테스트의 경우, 불량에 의한 전류 증가는 100 마이크로 암페어 전후이다. 따라서, 예를 들어 어떤 칩을 측정할 때에 그 전원 전류가 100 마이크로 암페어였던 경우, 그것에 불량에 의한 것인지, 제조 편차에 의한 정상 누설 전류인지를 구별하는 것이 곤란하다.

종래 기술에 의한 IDD 테스트는, 단시간에 행하는 것이 가능하지만, 상술한 바와 같은 최근의 정상 누설 전류가 증가된 CMOS 반도체 집적 회로에 대한 측정을 상정하고 있지 않다. 즉, 상술한 종래 기술에서는 불량에 의한 누설 전류와 정상 누설 전류를 구별하는 것은 불가능하다.

본 발명의 목적은, 미세화에 따라 누설 전류가 증가한 경우에 있어서 단시간에 IDD 테스트를 행하는 것이 가능한 수단을 구비한 반도체 집적 회로 장치를 제공하는 것에 있다.

발명의 구성 및 작용

본 발명의 상술한 과제는, 반도체 집적 회로 장치를 복수의 회로 블록(이하 간단히 '블록'으로 칭함)으로

분할하고, 각각의 블록의 장치 상태에서의 전원 전류를 비교하여, 다른 블록에 비해 소정값보다도 큰 전원 전류를 나타내는 블록을 구별하여 표시하는 신호를 발생시키는 회로를 구비함으로써, 효과적으로 해결하는 것이 가능하다.

동일한 칩 종의 각 블록 내의 각 트랜지스터의 누설 전류는 동일한 제조 프로세스를 거치므로 대체적으로 동일한 성질이 있다. 그 성질을 이용하는 것에 의해, 각각의 블록의 전원 전류를 비교하여 다른 것에 비해 이상한 전류가 있으면, 그 전류를 불량에 의한 전류로 하여 식별하는 것이 가능하다. 또한, 비교 결과를 단순한 2치 신호, 예를 들어 'H', 'L'을 정상, 불량에 대응시켜서 취하는 것에 의해, 단시간에 불량품을 선별하는 것이 가능하게 된다.

이하, 본 발명에 관한 반도체 집적 회로 장치를 도면에 도시한 발명의 실시 형태를 참조하여 더욱 상세히 설명한다. 또, 도 1, 도 3, 도 9 내지 도 14에 있어서의 동일한 기호는 동일한 또는 유사물을 표시하는 것으로 한다.

도 1은 본 발명의 제1 실시 형태를 도시하는 도면이다. 도 1에 있어서, 반도체 집적 회로는 블록(1)과 블록(2)으로 분할되어 있다. 블록(1), (2)의 전원은 각각 단자(Vdd1), 단자(Vdd2)와 전지 전원 단자(Vss)에 부여된다. 통상의 동작 상태에 있어서는, 각각의 블록에는 동작에 적합한 전원 전압이 인가된다.

한편, 테스트 시에는, 단자(Vdd1, Vdd2)는 오픈 상태로 되고, 테스트용 전원 단자(Vddt)에 전압이 인가된다. 단자(Vddt)와 각 블록의 전원 단자(Vdd1, Vdd2)의 사이에는 실질적으로 전류계로 되는 회로(A1) 및 회로(A2)가 설치되고, 각 블록의 테스트 시의 전원 전류가 측정된다. 이 때, 블록(1), (2)은 정지 상태로 존재한다.

블록(1)과 블록(2)의 회로 규모가 같은 정도이므로, 양 블록 내에 불량미 있으면, 양 블록의 누설 전류는 거의 동등하게 된다. 따라서, 불량미 없는 경우는, 양자의 누설 전류가 거의 동등하게 되고, 어느 하나에 불량미 있는 경우에는 한 쪽의 블록의 누설 전류가 다른 블록의 누설 전류에 비하여 크게 되는 것으로 된다. 각 블록의 전원 전류를 비교 회로(3)에서 비교하여, 그 차가 소정값 이상인 경우에, 블록(1) 또는 블록(2)의 회로에 불량미 있는 것으로 판정하고, 차가 소정값 이하인 경우에는 정상으로 판정하며, 그 판정 결과를 나타내는 2치 신호(PF1)를 출력한다.

도 2는 판정의 예를 도시한 것이다. 이 경우, 불량미 있는 때의 누설 전류치는 100 마이크로 암페어로 설정되어 있다. 도 2에 도시한 바와 같이, 칩(1)은 양 블록의 전원 전류가 100 마이크로 암페어 이하인 경우이다. 블록(1)과 블록(2)의 회로 규모가 동일한 경우에도, 정상 누설 전류는 완전히 동일하게는 되지 않고, 실제로는 동일한 칩 내에서도 블록(1)과 블록(2)의 트랜지스터의 성질이 미묘하게 상이하거나, 인가되고 있는 테스트 패턴의 상이함 등에 의해 차가 발생한다. 그러나, 그 차는 일반적으로 칩 개리의 차보다도 작다. 따라서, 이 경우, 비교 회로(3)는, 정상품인 것으로 하여 정상임을 나타내는 신호를 출력한다. 또, 칩(2)은 양 블록의 전원 전류가 100 마이크로 암페어 이상이지만, 양자의 누설 전류치는 60 마이크로 암페어 이하이므로, 이 경우에도 불량품은 아닌 것으로 하여 정상임을 나타내는 신호를 출력한다. 또한, 칩(4)은 회로(A1)와 회로(A2)의 측정 전류의 절대치는 크지만, 양자의 차가 40 마이크로 암페어이므로 정상으로 한다.

한편, 칩(3)의 경우에는, 회로(A2)의 측정 전류와 회로(A1)의 측정 전류치가 120 마이크로 암페어이므로, 불량품으로 하여 불량임을 나타내는 신호를 출력한다. 또, 칩(5)은 전류치가 120 마이크로 암페어이므로 불량으로 한다.

전원 전류의 절대치를 판정하는 종래의 방식에 있어서, 예를 들어, 그 판정치가 100 마이크로 암페어로 설정된 경우, 도 2의 전류 측정 결과에 대하여 칩(2, 3, 4, 5)은 적어도 한쪽의 블록에서 100 마이크로 암페어 이상의 전류가 흐르므로 전부 불량으로 판정되어 버리게 된다. 따라서, 종래 방식에서는 본래 정상품인 칩(2, 4)을 불량으로 판정해 버리지만, 본 발명에서는 이를 정상품으로서 선별하는 것이 가능하게 된다.

이상에 나타난 바와 같이, 본 발명에 있어서는, 본래 불량에 의한 것이 아닌 누설 전류, 즉 정상 누설 전류가 크게 된 경우에도 불량품을 선별할 수 있다. 또한, 전류치를 검출하는 회로는, 베이스로 되는 정상 전류가 크게 될수록 어렵게 되는 성질을 가지므로, 본 실시 형태와 같이, 반도체 집적 회로를 2개의 블록으로 분할하면, 누설 전류는 2 분할되므로, 보다 간단한 전류치를 검출할 수 있는 효과가 있다.

또한, 분할 수는 2개로 한정되는 것은 아니고, 임의의 복수로 하는 것이 가능하다. 이 경우는, 복수의 회로 블록에 있어서 조합이 가능한 2개의 회로 블록 별로 측정 결과를 비교하는 것으로 한다.

여기서, 실질적으로 전류계로 되는 회로(A1, A2)를 저항으로 실현한 예를 도 3에 도시한다. 테스트용 전원 단자(Vddt)와 블록(1), 및 블록(2)은 각각 저항(R1t) 및 저항(R2t)에 의해 접속된다.

도 4는 사용 단계별 각 전원 단자의 상태를 나타낸 것이다. 기동 테스트 시에는, 전체의 전원 단자를, 예를 들어, 전원 전압을 1.5V로 고정하여 측정을 행한다. 또한, 100Q 테스트 시에는, 테스트용 전원 단자(Vddt)는 소정의 전압, 예를 들어, 1.5V가 인가되지만, 전원 단자(Vdd1, Vdd2)는 오픈 상태로 설정된다. 이와 같이 하여, 각 블록이 정지 상태이면, 각 블록의 누설 전류가 저항(R1t, R2t)을 통하여 흐른다. 따라서, 저항(R1t, R2t)에 나타나는 전압은, 각각의 블록의 누설 전류에 비례하는 것으로 된다. 이 전압의 차를 측정하는 것에 의해, 양 블록의 누설 전류치를 측정하는 것이 가능하다. 양 블록의 누설 전류치가 소정값보다 크면 불량인 것으로 판단된다.

또한, 실질적으로 전류계로 되는 회로(A1, A2)는, 예를 들어, 저항을 나타내는 소자면 되고, 도 3에 도시한 바와 같은 저항으로 실현하는 것 외에, 예를 들어, 온 상태, 즉, 저항 영역의 MOS 트랜지스터로 실현하는 것이 가능하다. 온 상태의 MOS 트랜지스터는 저항을 나타내므로, 저항(R1t, R2t)과 저항하는 것이 가능하다.

도 5는 100Q 테스트의 테스트 순서를 나타낸 것이다. 100Q 테스트에 있어서는, 우선, 단자(Vdd1, Vdd2)에 통상의 전원 전압을 인가한다(단계 S1). 그 상태에서, 테스트 패턴을 블록(1) 및 블록(2)의 내부의 논리

회로(도시되지 않음)에 기록한다(단계 S2). 이어서, 단자(Vddt)에 테스트용 전압을 인가하고, 그 후에, Vdd1과 Vdd2를 오픈 상태로 한다(단계 S3). 본 실시예에서는 이 상태와 동시에 정지 상태에서 100Q 테스트가 행해지고(단계 S4), 테스트를 종료한다.

도 6의 (a)는 본 발명을 적용한 LSI(Large Scale Integration)의 테스트의 흐름의 예이고, 도 6의 (b)는 비교를 위해 나타낸, 100Q 테스트를 실시하지 않는 종래의 경우에 상정되는 테스트의 흐름의 예이다. 또한, 100Q 테스트를 실시하지 않는 것은, 특정 전류가 크게 되고, 불량 여부의 판정이 곤란하게 되기 때문이다.

도면에서의 숫자는, 각각의 선별 공정에 있어서 어느 정도 불량 칩이 선별되었는가를 개념적으로 나타낸 것이다. 도 6의 (a)에 도시한 바와 같이, LSI가 완성된 단계에서 100개의 LSI가 웨이퍼 상에 제작되어 공정이 시작되었다고 한다. 이 웨이퍼 상태에서 프로브 검사가 행해진다. 프로브 검사에서는, 우선 입출력 회로나 전원의 단락이나 비도를 등의 중요한 불량의 검사를 행한다(단계 S11). 그 결과, 10개의 불량이 선별된다. 이어서, 본 발명에서 나타낸 100Q 테스트를 행한다(단계 S12). 그 결과, 20개의 불량이 선별된다. 100Q 테스트 후에 LSI의 기능이 정상인지 여부를 판단하는 기능 테스트를 행한다(단계 S13). 그 결과, 10개의 불량이 선별된다. 이상의 프로브 검사를 끝낸 후, 이어서, 패키지 상태로 조립한다(단계 S14). 그 후, 최종적인 기능 검사를 행하고(단계 S15), 종료하게 된다. 단계 (15)에서는 불량은 선별되지 않는다.

본 발명에 따른 100Q 테스트를 이용하면, 칩 내에 전류를 전압으로 변환하는 저항(R1t, R2t)이 미리 내장되어 있으므로, 테스트에 의해 전류를 측정할 필요가 없게 되고, 따라서, 100Q 테스트를 단시간에 행하는 것이 가능한 효과가 있다.

또한, 100Q 테스트에 의해, 잠재 불량을 검출하는 것이 가능한 특징이 있다. 즉, 칩 내에 가벼운 정도의 배선의 단락 등이 있는 경우, 기능적으로 정상이어도 누설 전류가 흐른다. 이와 같은 잠재 불량은, 언젠가는 중요한 고장으로 될 가능성이 있다. 이와 같은 잠재 불량은, 종래는 번인 등의 가속 시험(고온 고전압 인가)으로 두드러지게 하여 선별하는 수법이 취해지고 있다. 그러나, 번인에서는 비교적 장시간 칩을 고온 고압의 상태로 유지해야 하므로 시간이 소요된다.

본 발명에서는, 100Q 테스트에서 미리 잠재 불량을 선별하므로, 번인이 필요하지 않고, 그 만큼 비용을 저감하는 것이 가능한 효과가 있다.

도 6의 (a)에 도시한 바와 같이, 본 실시 형태에 있어서는, 단계 S11의 중요한 불량 검사에서 10개, 단계 S12의 100Q 테스트에서 20개, 단계 S13의 기능 불량 테스트에서 10개의 불량품이 선별되고 있다. 100Q 테스트에서 선별한 불량품 중, 10개가 잠재 불량에 의한 것으로 한다(남은 10개는 차가 작은 정상 누설 전류이지만, 그 값이 너무 큰 것임).

이를 100Q 테스트가 가능하지 않은 종래의 방식을 이용하면, 도 6의 (b)에 나타낸 단계 S21의 중요한 불량 검사를 거친 단계 S22의 기능 검사에서는, 90개의 시료를 검사해야 한다. 따라서, 기능 검사에 시간이 소요된다. 또한, 잠재 불량을 가진 채 조립을 하므로(단계 S23), 조립의 수율이 저하되고, 비용의 상승을 초래하게 된다. 또한, 번인(단계 S24)에 의해, 비용 상승을 초래한다. 다음의 최종 기능 검사(단계 S25)에서 잠재 불량률 10개가 추출된다.

도 7은 본 발명을 적용한 LSI 실장 방법의 예를 나타낸 것이다. 도면에 있어서, 참조부호(45)는 LSI, 참조부호(41)는 LSI(45)를 수용하는 패키지, 참조부호(42)는 패키지(41)에 준비된 리드 프레임, 참조부호(44)는 LSI(45) 상에 설치된 본딩 패드, 참조부호(43)는 본딩 패드(44)를 리드 프레임(42)에 접속하기 위한 본딩 와이어, 참조부호(46)는 100Q 테스트의 출력 신호(PF1)를 외부로 추출하기 위한 LSI(45) 상에 설치된 결과 통지 단자이다.

100Q 테스트를 포함하는 프로브 검사는, LSI(45)가 패키지(41)에 실장되기 전에 행해진다. LSI(45)는 블록(1)과 블록(2)으로 분할되어 있다. 프로브 검사에서는 블록(1, 2)에 각각 단자(Vdd1, Vdd2)로 되는 본딩 패드를 통해 전원이 공급된다. 또한, LSI(45) 중에는 단자(Vddt)로 되는 본딩 패드가 있고, 그 본딩 패드를 거쳐서 테스트용 전원이 블록(1), 블록(2) 및 전압 비교 회로에 급전된다. 이와 같은 구성을 채용함으로써, 프로브 검사 시에 본 발명에 의한 100Q 테스트를 실시하는 것이 가능하게 된다. 100Q 테스트의 결과는 100Q 결과 통지 단자(46)에 단자에 양호 불량에 대응하여 H, L의 신호로서 통지된다.

프로브 검사 후, 본 칩(LSI(45))을 조립하지만, 그 때, Vdd1, Vdd2, Vddt 및 100Q 결과 통지의 각 단자는, 본딩 와이어(43)에 의해 공통의 1개의 리드 프레임(42)에 접속된다. 이 리드 프레임(42)이 전원 단자(Vdd)로 된다. 이와 같은 조립 방식에 의해, 조립 후의 패키지의 핀 수를 줄이는 것이 가능하게 되고, 또, 조립 후에, LSI의 사용자에게 본 방식을 인식시키지 않고 사용하게 하는 것이 가능하게 된다.

또한, LSI에 따라서는 LSI를 조립한 후에 100Q 테스트를 행하고, 선별을 보다 엄밀하게 행하는 것이 요구되는 경우가 있다. 그러한 경우에는, 도 8에 도시한 바와 같이, Vdd1, Vdd2, Vddt 및 100Q 결과 통지의 각 단자에 각각 별도의 리드 프레임을 준비하여, 본딩을 행한다. 이 경우, 사용자에게는 상기 각 단자들의 리드 프레임의 전부를 접속하여 사용하며, 전원용 단자(Vdd)로 하도록 매뉴얼 등에서 통지한다.

도 9는 본 발명의 제2 실시 형태를 나타내는 도면이다. 도 9의 (a)에 도시한 바와 같이, LSI의 내부가 블록(1)과 더미 블록(4)에 의해 구성되어 있다. 블록(1)은 실제로 100Q 테스트에 의해 선별을 행하고 싶은 블록이고, 더미 블록(4)은 본 발명의 100Q 테스트를 행하기 위하여 특별히 구성된 블록이다. 블록(1)에는 단자(Vddt)로부터 전원이 공급된다.

블록(1)의 회로는, 도 9의 (b)에 도시한 바와 같은 다른 종류의 CMOS 게이트로 이루어지는 조합 논리 회로이다. 또한, 더미 블록(4)은 도 9의 (c)에서 도시한 바와 같이, CMOS의 인버터를 직렬로 접속하고, 초단의 입력 단자를 접지 전위로 접속한 것이다. 블록(1)은 n개의 게이트, 더미 블록(4)은 n개의 게이트로 구성되어 있다. 더미 블록(4)은 더미용이므로, 그 게이트 수(n)는 블록(1)의 게이트 수(n)보다 작은 수 예를 들어 n은 n의 100분의 1 정도가 채용된다. 이와 같이 하면 더미 블록(4)에 의한 면적 증가를 최소화

으로 억제할 수 있다. 또한, 본 발명은 상기의 회로 구성이나 주에 한정되지 않는다.

본 실시 형태에 있어서는, 전류 미러 회로(5)를 이용하여, 100Q 테스트가 실시된다. 전류 미러 회로(5)를 구성하는 트랜지스터(M1)와 트랜지스터(Md)는, 단자(Vddt)로부터 전원이 공급되고, 각각 블록(1)과 더미 블록(4)의 부하로 된다. 이 때, 미러비는 1.1m : n으로 설정된다. 트랜지스터(M1)는 전류 미러의 작용에 의해 거의 정전 전원으로 동작하고, 트랜지스터(Md)에 흐르는 전류(I_d)의 1.1m/n배의 전류(I₁)를 블록(1)에 공급한다.

100Q 테스트를 실시하는 경우, 우선 단자(Vddt)에 전압을 인가하고, 단자(Vdd1)를 오픈 상태로 한다. 트랜지스터(Md)를 통하여 더미 블록(4)에 전류(I_d)가 흘러, 트랜지스터(Md)와 더미 블록(4)의 접속점(6)에 단자(Vddt)의 전압보다 약간 낮은 전압(V_d)이 나타난다.

트랜지스터(M1)를 통하여 블록(1)에 전류(I₁)가 흐른다. 이 때, 블록(1)의 게이트당 평균 누설 전류가 더미 블록(4)의 게이트당 평균 누설 전류의 1.1배이면, 트랜지스터(M1)와 블록(1)의 접속점(7)에 상기 전압(V_d)과 동일한 전압이 나타난다. 게이트당 평균 누설 전류가 1.1배보다 낮은 블록(1)의 경우는, 접속점(7)에 전압(V_d)보다도 높고, 단자(Vddt)의 전압보다 낮은 전압이 나타난다.

한편, 게이트당 평균 누설 전류가 1.1배보다 높은 블록(1)의 경우는, 접속점(7)에 전압(V_d)보다도 낮은 전압이 나타난다. 그러한 블록(1)에서는 접속점(7)에 나타나는 전압이 V_d로 되기 위한 전류보다도 전류(I₁)가 낮기 때문이다.

본 실시 형태에서는, 게이트당 평균 누설 전류가 1.1배보다 높은 경우를 불량으로 하므로, 접속점(6)의 전압과 접속점(7)의 전압과의 차를 비교 회로(3)에서 비교하고, 접속점(7)의 전압이 높으면 정상품, 낮으면 불량품으로 하는 판정이 행해진다.

본 실시 형태에 의하면, 특정하고 싶은 회로 블록을 분할하지 않아도, 작은 게이트 규모의 더미 회로를 추가함으로써, 정상 누설 전류가 큰 경우에도 100Q 테스트를 실시할 수 있는 효과가 있다. 또한, 본 실시 형태에서 나타낸 값(1.1배)은 어디까지나 예이고, 상황에 의해 1.2 이상 등과 같이 보다 큰 값을 이용해도 된다.

도 10은 본 발명의 제3 실시 형태를 나타낸 것이다. 본 실시 형태에서는, 논리 회로와 메모리 회로가 존재되어 탑재되는 LSI를 대상으로 하고 있다.

메모리 회로에는, 도 10의 (b)에 도시한 4개의 nMOS 트랜지스터와 2개의 pMOS 트랜지스터로 구성된 일반적인 스테틱형 메모리 셀이 복수 배치되어 있다. 이 메모리는 통상의 CMOS 게이트와 마찬가지로 동작하지 않는 경우에는 누설 전류 이외에는 전류가 흐르지 않으므로, 100Q 테스트가 유효한 회로이다. 그런데, 이와 같은 메모리에는 통상 게이트 폭이 매우 작은 트랜지스터가 이용되거나, 전기적 안정성을 확보하기 위한 논리 회로와는 임계치가 다른, 일반적으로는 임계치 전압이 높은 트랜지스터가 이용되거나 한다. 어느 경우에도, 정상 누설 전류가 적게 된다. 따라서, 스테틱형 메모리와 통상 CMOS 게이트가 존재된 블록의 누설 전류의 비교는 곤란하다.

본 실시 형태는 그러한 문제를 해결하기 위한 것으로, 블록을 논리 회로와 메모리 회로로 나누어 특정이 행해진다. 도 10의 (a)에 있어서, 접은 2개의 논리 블록(11) 및 논리 블록(12)과 2개의 메모리 블록(13) 및 메모리 블록(14)을 갖고, 각각과 단자(Vddt)와의 사이에 실질적으로 전류계로 되는 회로(A11, A12, A13, A14)가 접속되며, 회로(A11, A12)의 측정 결과를 비교하는 비교 회로(31)와, 회로(A13, A14)의 측정 결과를 비교하는 비교 회로(32)가 배치된다. 비교 회로(31, 32)는 비교 결과로부터 정상, 불량 판정을 행한다. 또한, 논리 블록(11)과 메모리 블록(13)에 단자(Vdd1)로부터 전원이 공급되고, 논리 블록(12)과 메모리 블록(14)에 단자(Vdd2)로부터 전원이 공급된다.

본 실시 형태에 의하면, 스테틱형 메모리와 같은 메모리가 탑재된 칩에서도 100Q 테스트를 실시할 수 있는 효과가 있다. 블록의 나누는 방법은, 원래 칩 상에 존재하는 복수의 블록의 전원을 분할하여도 되고, 본 발명의 제2 실시 형태와 같이, 논리 블록(12)이나 메모리 블록(14)은 더미 블록을 이용하여도 된다.

도 11은 본 발명의 제4 실시 형태를 나타내는 도면이다. 본 실시 형태는 블록(1)과 블록(2)의 100Q 테스트를 연속하여 실시할 수 있는 것을 특징으로 한다.

도 11에 있어서, 단자(Vddt)로부터 테스트용 전원, 블록(1)으로의 공급이 저항(R1d)과 접지측에 MOS 트랜지스터(M11)가 직렬로 접속된 저항(R1t)으로 분할되어 있다. 마찬가지로, 단자(Vddt)로부터 테스트용 전원, 블록(2)으로의 공급이 저항(R2d)과 접지측에 MOS 트랜지스터(M21)가 직렬로 접속된 저항(R2t)으로 분할되어 있다.

트랜지스터(M21)에, 인버터(21)를 통해, 테스트 선택 신호(b1k2tst)가 부여되고, 트랜지스터(M11)에, 인버터(21) 및 인버터(22)를 통해 테스트 선택 신호(b1k2tst)가 부여된다. 인버터(21), 인버터(22) 및 비교 회로(3)에는, 단자(Vddt)로부터 전원이 공급된다.

정상 동작 시에는 전원 단자(Vdd1, Vdd2)를 소정의 전원 전압으로 고정한다. 100Q 테스트 시에는, 단자(Vdd1, Vdd2)는 오픈 상태로 하여 두고, 단자(Vddt)에 소정의 전압을 인가한다. 그 후, 선택 신호(b1k2tst)가 부여된다.

본 실시 형태의 동작은 이하와 같다. 즉, 신호(b1k2tst)가 '1'인 경우에, 트랜지스터(M11)가 비도통 상태, 트랜지스터(M21)가 도통 상태로 된다. 이 때, 블록(1)의 전원 전류는 저항(R1d)를 통하여 흐르고, 블록(2)의 전원 전류는 저항(R2d)를 통하여 흐른다. 이 때 트랜지스터(M21)가 도통 상태이므로 저항(R2t)에 전류가 흐른다. 이 저항은 불량이 발생한 경우에 상당하는 전류 즉, 바이어스 누설 전류로서 예를 들어 100 마이크로 암페어를 실현하는 값으로 설정하여 둔다. 이러한 설정에 의해, 블록(1)의 전류치가 블록(2)의 전류치보다도 100 마이크로 암페어 이상 전류가 크게 되면, 단자(Vdd1)의 전위가 단자(Vdd2)의 전위보다 낮게 되고, 그 전위차를 비교 회로(3)에서 비교하므로써, 블록(1)에 불량이 있다고 판정할 수 있다. 마찬가지로, 신호(b1k2tst)가 '0'인 경우에, 블록(2)의 정상, 불량 판정이 행해진다.

또한, 본 실시 형태의 경우, 블록(1)과 블록(2)의 회로 규모를 반드시 일치시켜 둘 필요는 없다. 즉, 블록(1)의 회로 규모를 $n1$, 블록(2)의 회로 규모를 $n2$ 로 할 경우는, 전위차를 만드는 저항($R1d$, $R2d$)의 저항치 $R1d$, $R2d$ 는 상기 회로 규모에 반비례로 하며,

$$n1 : n2 = 1/R1d : 1/R2d$$

가 성립하도록 설정된다. 이 설정은 블록(1), (2) 모두 결함이 없는 경우, 저항($R1i$, $R2i$)를 생략하면 단자($Vdd1$)와 단자($Vdd2$)의 전위가 동일하게 되는 것이지만, 이에 상응한 저항($R1i$, $R2i$)에 의한 전류 증가분을 더하는 것에 의해, IDDQ 테스트가 가능하게 된다. 또, 여기에서 나타낸 저항($R1i$, $R2i$)은 MOS 트랜지스터의 온 저항에 의해 실현할 수 있다.

이상 설명한 바와 같이, 본 실시 형태에 의하면, 블록(1)과 블록(2)의 IDDQ 테스트를 간단히, 단시간에 실현하는 것이 가능하다.

도 12는 본 발명의 제5 실시 형태를 나타내는 도면이다. 이미 설명한 바와 같이, 최근 트랜지스터의 미세화 및 저전압화에 의한 임계치 전압의 저하에 따라 CMOS 회로의 누설 전류의 증대가 문제화되고 있다. 이 문제를 해결하는 한 방법으로서, 스탠드바이 시의 누설 전류를 저감하기 위한 전원 스위치를 삽입하여 누설 전류를 컷하는 방식이 제안되고 있다. 이 전력 절감용 전원 스위치는 MOS 트랜지스터에 의해 실현된다. 본 실시 형태는, 그러한 전원 스위치가 존재하는 LS에 있어서, 단일 전원으로 IDDQ 테스트를 실시할 수 있도록 한 예이다.

본 실시 형태에 있어서는, 도 12에 도시한 바와 같이, 블록(1)과 블록(2)은 각각 전원 스위치($Ms1$)와 전원 스위치($Ms2$)를 통하여 전원 단자($Vdd1$)에 접속되어 있다. 그 전원 스위치는 제어 신호($b1k1actb$) 또는 제어 신호($b1k2actb$)를 'L'로 하므로써 각각 온 상태로 되고, 블록(1) 또는 블록(2)에 전원 전압이 공급된다. 이와 같이 하여, 블록(1) 또는 블록(2)의 동작이 가능하게 된다.

한편, 저항($R1d$)에 직렬로 그 전원측에 MOS 트랜지스터($M1d$)가 접속되고, 저항($R2d$)에 직렬로 그 전원측에 MOS 트랜지스터($M2d$)가 접속된다. 트랜지스터($M1d$, $M2d$)의 양자에 테스트 제어 신호($test$)가 공급된다. 제어 신호($test$)가 'L'로 되므로써 트랜지스터($M1d$, $M2d$)가 온 상태로 되고, 저항($R1d$, $R2d$)에 전원이 공급된다. 트랜지스터($M1d$, $M2d$)는 테스트 전원 스위치로서 동작한다.

IDDQ 테스트 시, 전원 스위치($Ms1$) 또는 전원 스위치($Ms2$)를 온 상태로 하므로써 블록(1) 또는 블록(2)에 통전시켜 테스트 패턴을 기록한 후에, 상기 전원 스위치를 오프로 한다. 이어서, 트랜지스터($M1d$, $M2d$)를 온 상태로 한다. 그 후의 테스트 시행 방법은 제4 실시 형태와 마찬가지로, 선택 신호($b1k2tst$)를 사용하여 제어하면서, 양 블록의 누설 전류의 비교를 행하므로써, 불량품을 선별할 수 있다.

이상에 설명한 바와 같이, 본 실시예에 있어서는, 특별한 전원 핀을 준비하지 않고, 전원 스위치를 이용하여 IDDQ 테스트를 실시할 수 있다는 효과가 있다.

도 13은 본 발명의 제6 실시 형태를 나타내는 도면이다. 본 실시 형태는, 제2 실시 형태를 기본으로 하지만, 전원을 단일 전원으로 하고, 블록(1)에 전력 절감용의 전원 스위치($Ms1$)를 설치하고, 또한 전류 미러 회로(5)에 테스트 전원 스위치(Mt)를 설치하며, 또한 비교 회로(3)의 출력 회로를 블록(1)의 데이터의 출력 회로(8)와 겸용으로 한 것이다.

이들 스위치를 준비하므로써, 스탠드바이 시의 전류 저감이 가능한 것과 함께, 전류 미러 회로(5)에 의한 제2 실시 형태와 마찬가지로의 IDDQ 테스트를 행하는 것이 가능하게 된다. 또한, 제5 실시 형태와 마찬가지로 단일 전원으로 하므로써, 특별한 전원 핀을 IDDQ 테스트를 위하여 갖출 필요가 없게 된다.

또한, 본 실시 형태에서는, IDDQ 테스트의 결과를 출력하기 위한 핀은 설치하지 않고, 출력 회로(8)의 통상의 출력 핀($Dout$)으로부터 결과가 출력된다. 즉, 통상 동작 시에는 블록(1)에 의한 동작의 결과를 출력 핀($Dout$)으로 출력하지만, 제어 신호($dctr1$)를 'H'로 함에 따라, 동일한 출력 핀($Dout$)에 IDDQ 테스트의 결과를 출력하는 것이 가능하게 된다. 이와 같이 하면, IDDQ 테스트를 행하기 위하여 핀을 추가할 필요가 없게 된다.

도 14는 본 발명의 제7 실시 형태를 도시하는 도면이다. 본 실시 형태에서는 블록(1) 및 블록(2)이 각각 전원 스위치($Ms1$, $Ms2$)에 의해 전원이 제어되지만, 한편, IDDQ 테스트에서는 블록(1)과 블록(2)의 테스트가 연속적으로 행하여진다. 또한, 전류 미러 회로(5)에 테스트 전원 스위치(Mt)가 설치된다.

본 실시 형태에 있어서는, 블록(1)의 게이트 수를 m , 블록(2)의 게이트 수를 n 으로 한다. IDDQ 테스트를 행하기 위하여 전류 미러 회로(5)를 이용하지만, 블록(1)에는 전류 미러인 MOS 트랜지스터($M11$, $M13$)가 접속되어 있다. 또한, 트랜지스터($M13$)에는 트랜지스터($M14$)가 직렬로 접속되어 있고, 트랜지스터($M14$)가 온 상태인 때에 트랜지스터($M13$)가 유효하게 된다. 한편, 블록(2)에는 전류 미러의 전원원으로 되는 MOS 트랜지스터($M12$)가 접속되어 있다. 이 때, 트랜지스터($M11$)와 트랜지스터($M12$)의 미러비는 $0.9m : n$ 으로 설정되고, 트랜지스터($M13$)와 트랜지스터($M12$)의 미러비는 $0.2m : n$ 으로 설정되어 있다. 따라서, 트랜지스터($M14$)가 온 상태로 되어 트랜지스터($M11$, $M13$)가 병렬로 접속되지만, 그 병렬 접속의 트랜지스터와 트랜지스터($M12$)의 미러비는 $1.1m : n$ 으로 된다.

IDDQ 테스트는 이하와 같이 행해진다. 우선, 전원 스위치($Ms1$, $Ms2$)를 온 상태로 하여 블록(1) 및 블록(2)에 전원 전압을 공급한 후에 테스트 패턴을 기록한다. 이어서, 선택 신호($b1k2tst$)를 'L'로 하여 트랜지스터($M14$)를 오프 상태로 한다. 이와 같이 하면, 미러비는 $1.1m : n$ 으로 된다. 따라서, 블록(1)의 1 게이트당 평균 누설 전류가 블록(2)의 1 게이트당 평균 누설 전류의 1.1배를 초과하면, 전류 미러 회로(5)와 블록(1)의 접속점($V1$)의 전위가 전류 미러 회로(5)와 블록(2)의 접속점($V2$)의 전위보다도 낮아진다. 그 때, 접속점($V2$)과 접속점($V1$)의 전위차를 비교 회로(3)에서 비교하며, 접속점($V1$)의 전위가 접속점($V2$)의 전위보다도 작은 것이라고 하여, 블록(1)의 내부에 불량이 있다고 판정할 수 있다. 이어서, 선택 신호($b1k2tst$)를 'H'로 하여 트랜지스터($M14$)를 비도통으로 하면 미러비가 $0.9m : n$ 으로 된다. 이 때, 블록(2)의 1 게이트당 평균 누설 전류가 블록(1)의 1 게이트당 평균 누설 전류의 1.1배를 넘으면, 접속점($V2$)의 전위가 접속점($V1$)보다도 낮아진다. 그 때, 접속점($V1$)과 접속점($V2$)의 전위차를 비교 회로(3)에서 비

교하며, 접속점(V2)의 전위가 접속점(V1)의 전위보다도 작은 값이라고 하여, 블록(2)의 내부에 불량이 있는 것으로 판정할 수 있다.

이와 같이, 선택 신호(bik2tst)의 'H', 'L'에 의하여 판정 레벨이 상이하므로, 데이터 처리 회로(9)가 그러한 처리를 행하여 판정 결과 신호(PF1)를 출력한다.

이상 설명한 바와 같이, 본 실시 형태에 있어서는, 단일 전원의 LSI에 있어서도 블록(1)과 블록(2)의 100Q 테스트를 간단히 단시간에 실현할 수 있다.

본 발명의 효과

본 발명에 의하면, 임계치 전압이 낮아 정상적인 상태에서 누설 전류가 큰 반도체 집적 회로에 있어서도, 단시간에 100Q 테스트를 행하여, 불량 회로를 포함하여 누설 전류가 큰 집적 회로를 선별할 수 있는 효과가 있다. 또한, 임계치 전압이 상이한 회로가 존재하는 반도체 집적 회로에 있어서도, 단시간에 100Q 테스트를 행할 수 있다. 또한, 테스트용 전원을 준비하지 않고도, 단일 전원을 사용하여 100Q 테스트를 행할 수 있다.

(5) 청구의 범위

청구항 1.

복수의 회로 블록과, 상기 복수의 회로 블록의 각각의 정지 상태에 있어서의 전원 전류를 측정하는 회로와, 조합이 가능한 2개의 회로 블록 별로 측정 결과를 비교하고, 비교에 의해 구해진 전원 전류차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.

복수의 회로 블록과, 상기 복수의 회로 블록의 각각과 전원과의 사이에 접속된 저항을 나타내는 소자와, 조합이 가능한 2개의 회로 블록 별로 정지 상태의 상기 2개의 회로 블록과 각각의 상기 소자와의 접속점의 사이의 전위차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 출력 수단은, 상기 신호를 출력하기 위한 전용 신호 핀을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 출력 수단은, 상기 신호와는 별도의 데이터 핀을 출력하기 위한 핀을 사용하여 상기 신호를 출력하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.

각각에 전용 전원 단자를 갖는 복수의 회로 블록과, 상기 전용 전원 단자와 테스트용 전원 단자와의 사이에 접속된 저항을 나타내는 소자와, 상기 복수의 회로 블록을 정지 상태로 한 후에 상기 테스트용 전원 단자에 전원을 공급한 경우의, 조합이 가능한 2개의 회로 블록 별로 상기 2개의 회로 블록과 각각의 상기 소자와의 접속점의 사이의 전위차가 소정값을 초과한 경우, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.

제5항에 있어서,

상기 전용 전원 단자와 상기 테스트용 전원 단자는, 상기 반도체 집적 회로 장치가 패키지로 조립될 때에, 동일한 전원 단자에 접속되는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.

제5항에 있어서,

상기 전용 전원 단자에, 바이어스 누설 전류를 더하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8.

n개의 게이트의 제1 회로 블록과, n개의 게이트의 제2 회로 블록과, 상기 제1 회로 블록과 테스트용 전원 단자와의 사이에 접속된 제1 트랜지스터와, 상기 제2 회로 블록과 상기 테스트용 전원 단자와의 사이에 접속된 제2 트랜지스터와, 상기 제1 회로 블록과 상기 제1 트랜지스터의 접속점과 상기 제2 회로 블록과 상기 제2 트랜지스터의 접속점과의 사이의 전위차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 수단을 포함하고, 상기 제1 트랜지스터와 상기 제2 트랜지스터는, 전류 미러 회로를 구성하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9

제8항에 있어서,

상기 제1 회로 블록은 신호 처리를 행하는 회로 블록이고, 상기 제2 회로 블록은, 상기 정지 상태로 되어 있는 회로 블록이고, 상기 제2 회로 블록은 상기 제1 회로 블록보다 칩 상의 면적이 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 10

복수의 논리 회로 블록과, 상기 복수의 논리 회로 블록의 각각의 정지 상태에 있어서의 전원 전류를 측정하는 회로와, 조합이 가능한 2개의 논리 회로 블록 별로 측정 결과를 비교하고, 비교에 의해 구해진 전원 전류차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 논리 회로 블록용의 회로와, 상기 신호를 외부로 출력하는 논리 회로 블록용의 출력 수단과,

스태틱형의 메모리 셀을 집적한 복수의 메모리 블록과, 상기 복수의 메모리 블록의 각각의 정지 상태에 있어서의 전원 전류를 측정하는 회로와, 조합이 가능한 2개의 메모리 블록 별로 측정 결과를 비교하고, 비교에 의해 구해진 전원 전류차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 메모리 블록용의 회로와, 상기 신호를 외부로 출력하는 메모리 블록용의 출력 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 11

MOS(Metal Oxide Semiconductor) 트랜지스터에 의한 전원 스위치를 통하여 전원 단자에 접속된 제1 회로 블록과, 제2 회로 블록과, 상기 MOS 트랜지스터가 비도통 상태인 때에 상기 제1 회로 블록과 상기 제2 회로 블록의 누설 전류를 상기 전원 단자에 공급되고 있는 전원을 이용하여 측정하는 회로와, 측정한 상기 제1 회로 블록과 상기 제2 회로 블록의 누설 전류를 비교하여, 전류차가 소정값을 넘는 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 12

MOS(Metal Oxide Semiconductor) 트랜지스터에 의한 전원 스위치를 통하여 전원 단자에 접속된 제1 회로 블록과, 제2 회로 블록과, 상기 제1 회로 블록 및 상기 제2 회로 블록과 상기 전원 단자와의 사이에 접속된, 상기 MOS 트랜지스터가 비도통 상태인 때에 동작하는 전류 미러 회로와, 상기 제1 회로 블록 및 상기 전류 미러 회로의 접속점과 상기 제2 회로 블록 및 상기 전류 미러 회로의 접속점의 사이의 전위차가 소정값을 넘는 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13

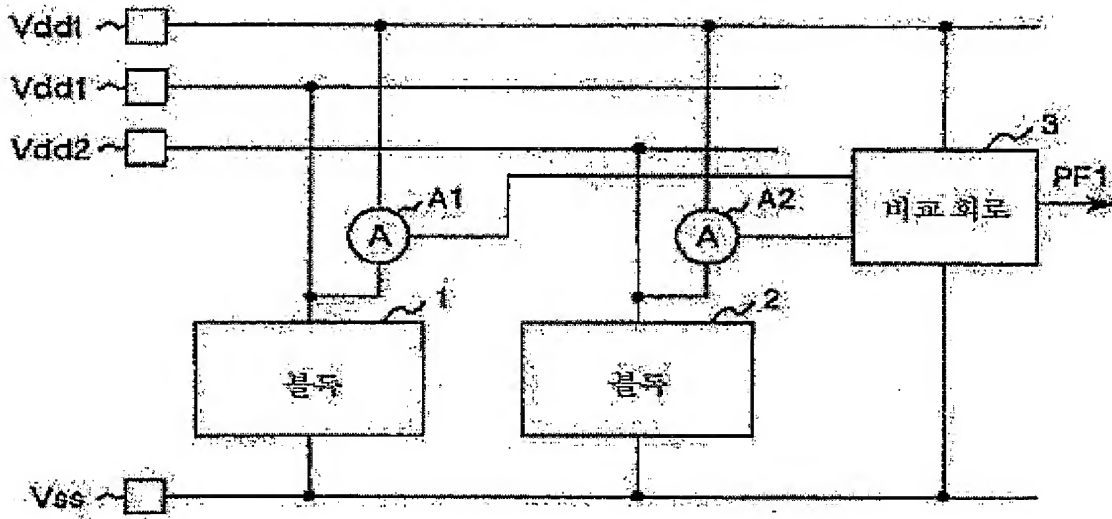
제1 MOS(Metal Oxide Semiconductor) 트랜지스터에 의한 전원 스위치를 통하여 전원 단자에 접속된 제1 회로 블록과, 제2 MOS 트랜지스터에 의한 전원 스위치를 통하여 상기 전원 단자에 접속된 제2 회로 블록과, 상기 제1 및 제2 MOS 트랜지스터가 비도통 상태인 때에 상기 제1 회로 블록과 상기 제2 회로 블록의 누설 전류를 상기 전원 단자에 공급되고 있는 전원을 이용하여 측정하는 회로와, 측정한 상기 제1 회로 블록과 상기 제2 회로 블록의 누설 전류를 비교하여, 전류차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 14

제1 MOS(Metal Oxide Semiconductor) 트랜지스터에 의한 전원 스위치를 통하여 전원 단자에 접속된 제1 회로 블록과, 제2 MOS 트랜지스터에 의한 전원 스위치를 통하여 상기 전원 단자에 접속된 제2 회로 블록과, 상기 제1 및 제2 회로 블록과 상기 전원 단자와의 사이에 접속된, 상기 제1 및 제2 MOS 트랜지스터가 비도통 상태인 때에 동작하는 전류 미러 회로와, 상기 제1 회로 블록 및 상기 전류 미러 회로의 접속점과 상기 제2 회로 블록 및 상기 전류 미러 회로의 접속점의 사이의 전위차가 소정값을 초과한 경우에, 상기 소정값을 초과한 것을 나타내는 신호를 발생시키는 회로와, 상기 신호를 외부로 출력하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

도면

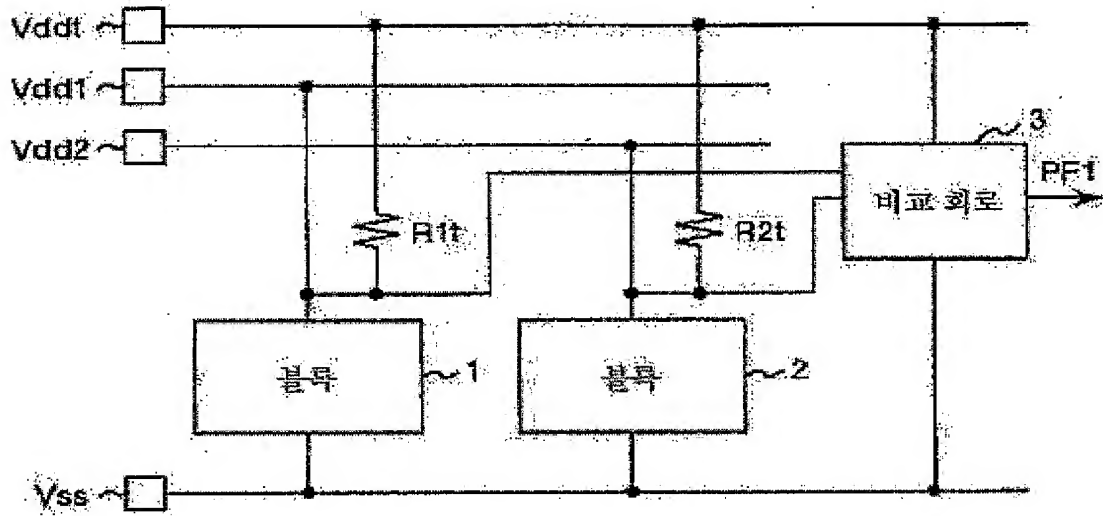
도면1



도면2

점 번호	A1 (μA)	A2 (μA)	정상/불량
1	60	80	정상
2	100	160	정상
3	100	220	불량
4	180	220	정상
5	340	220	불량

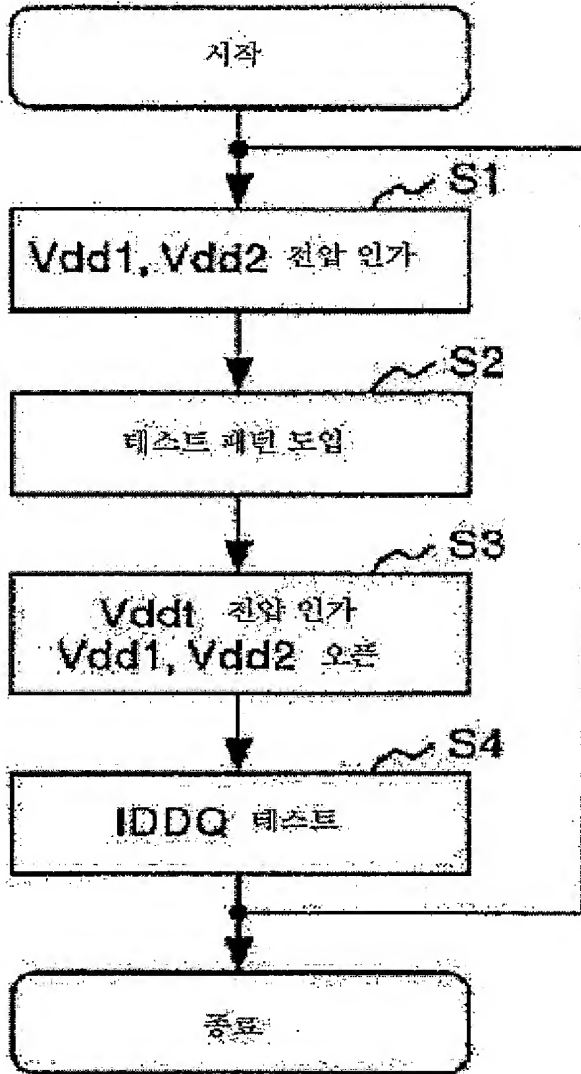
도 3



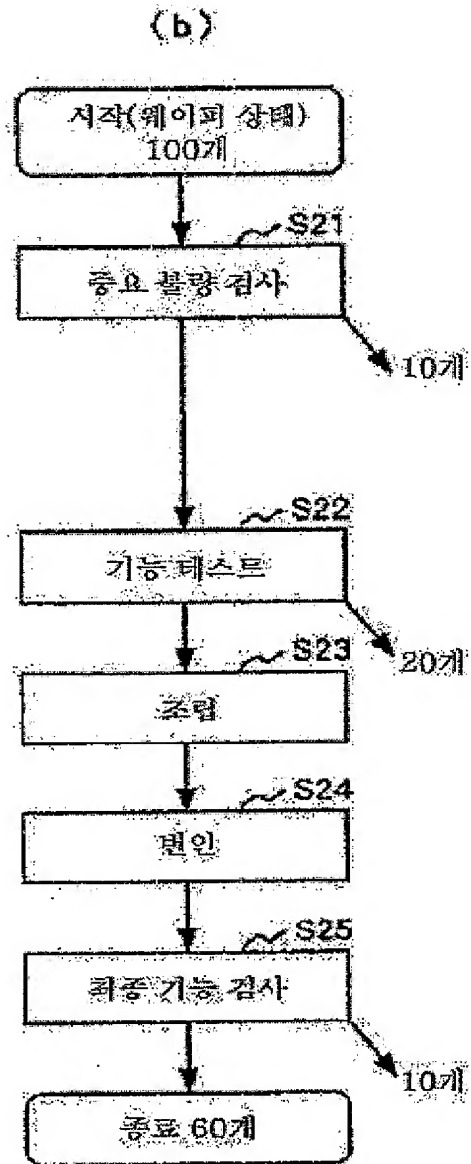
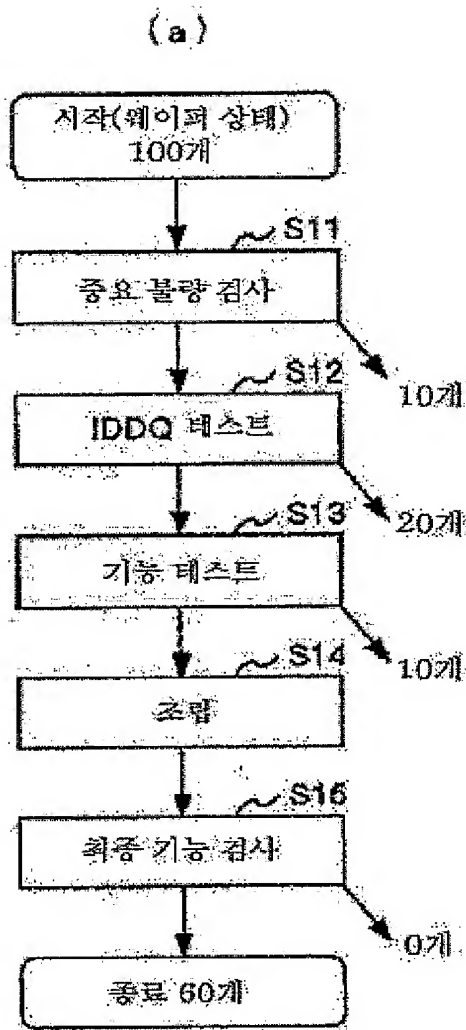
도 4

사용 스텝	V_{dd1}	V_{dd2}	V_{ddt}
기능 테스트	1.5V	1.5V	1.5V
IDDQ 테스트	Open	Open	1.5V
실사용 상태	1.5V	1.5V	1.5V

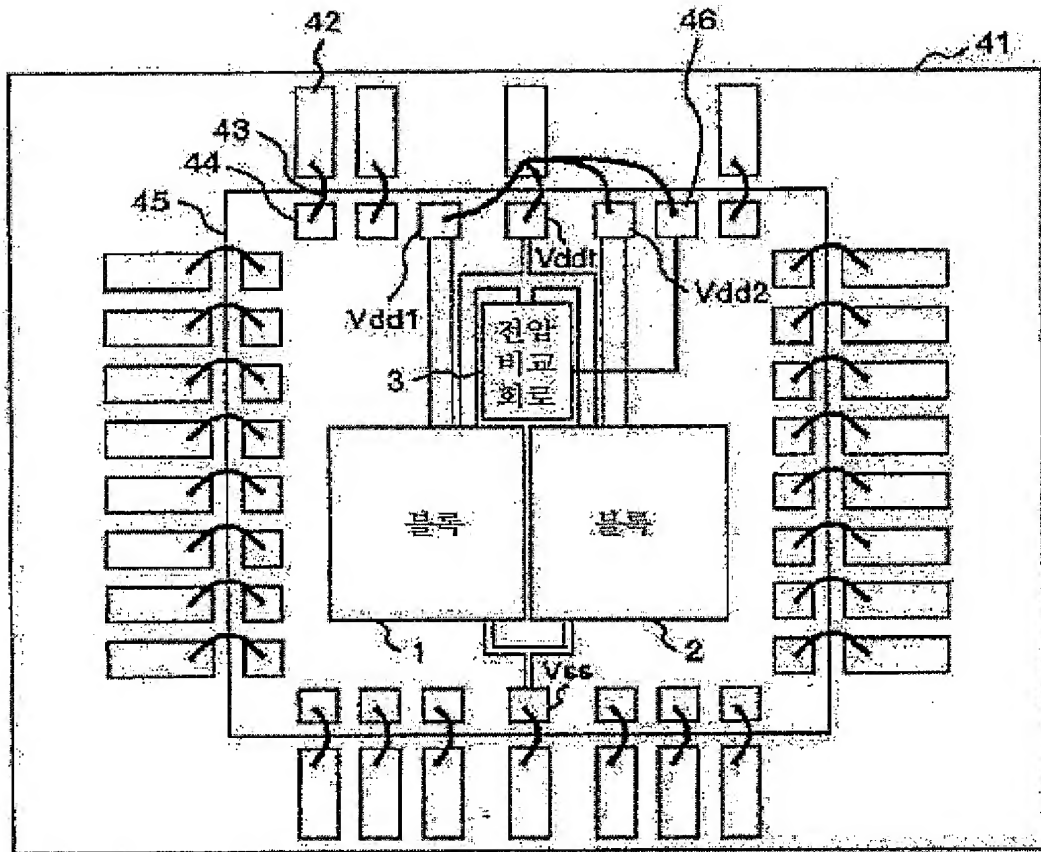
도면5



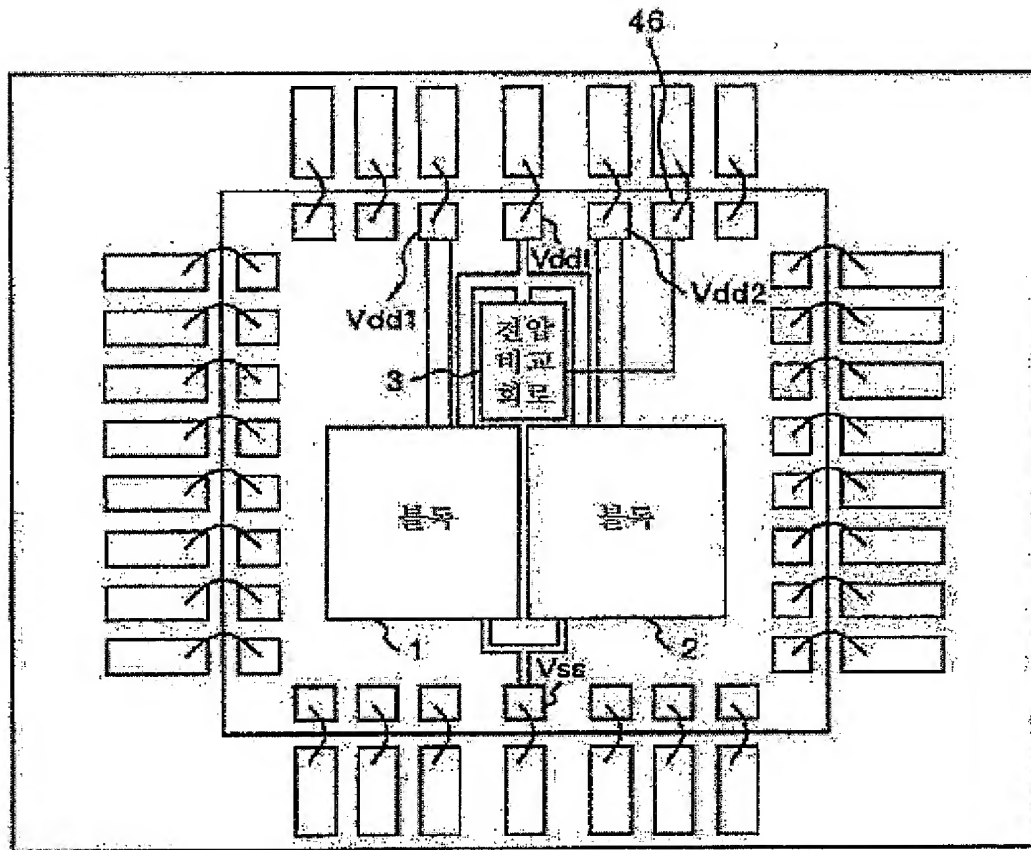
도 8



도 17

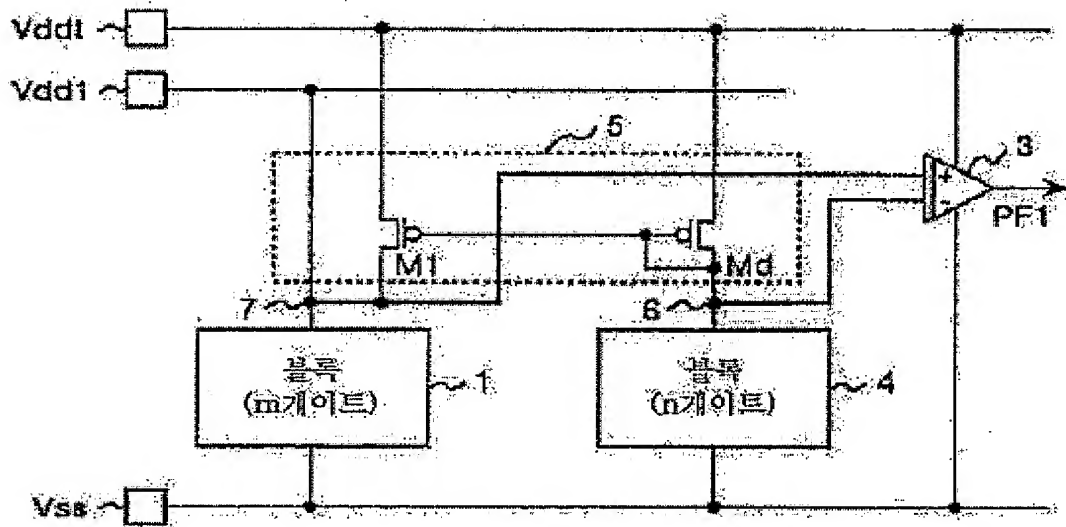


도 8

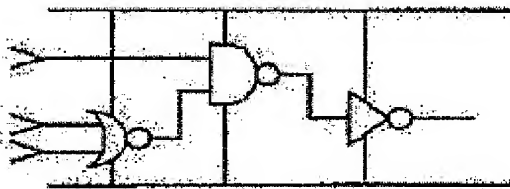


도면9

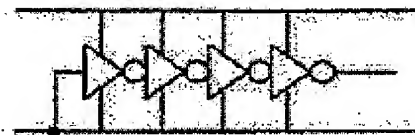
(a)



(b)

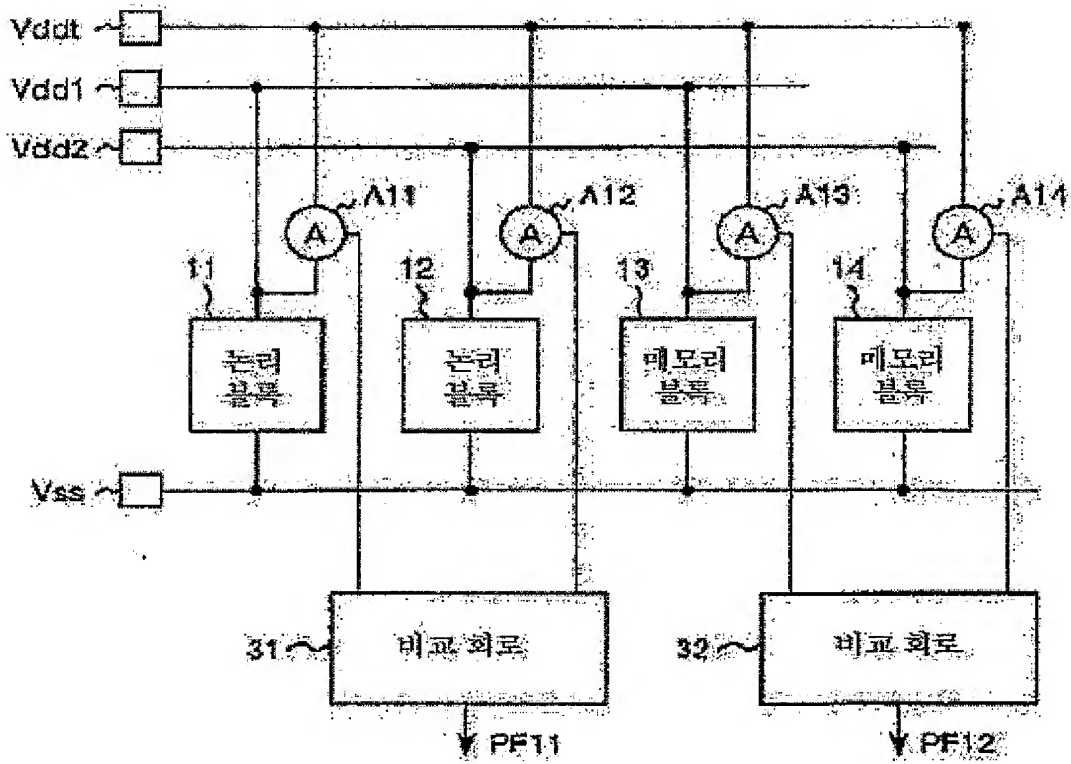


(c)

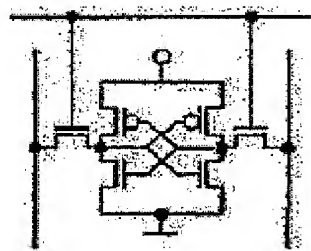


도면 10

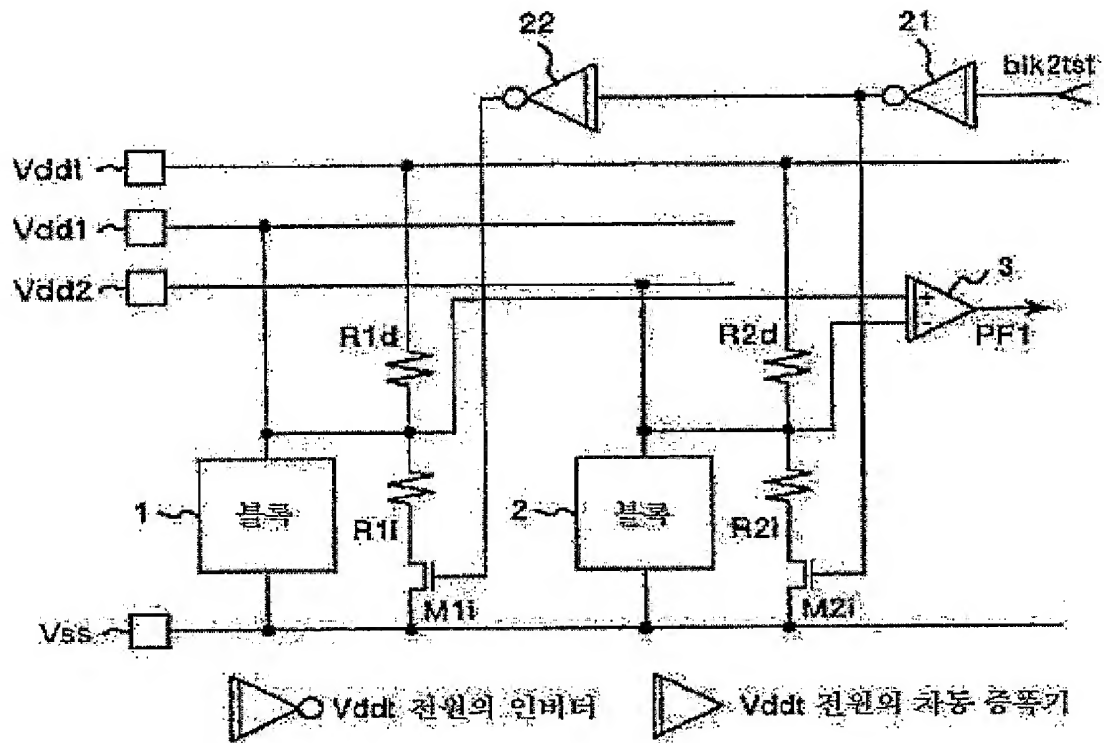
(a)



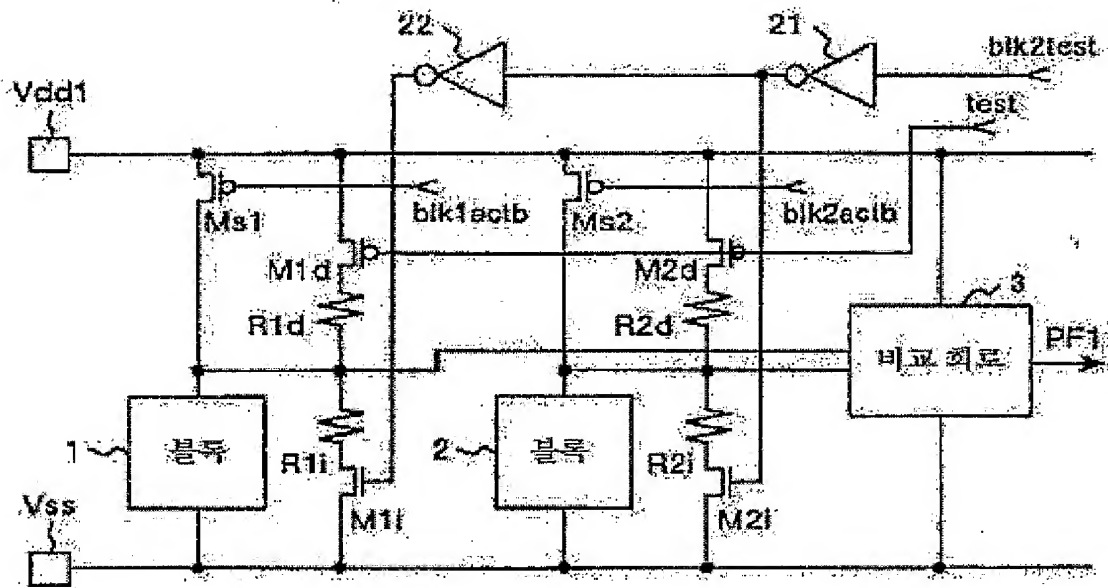
(b)



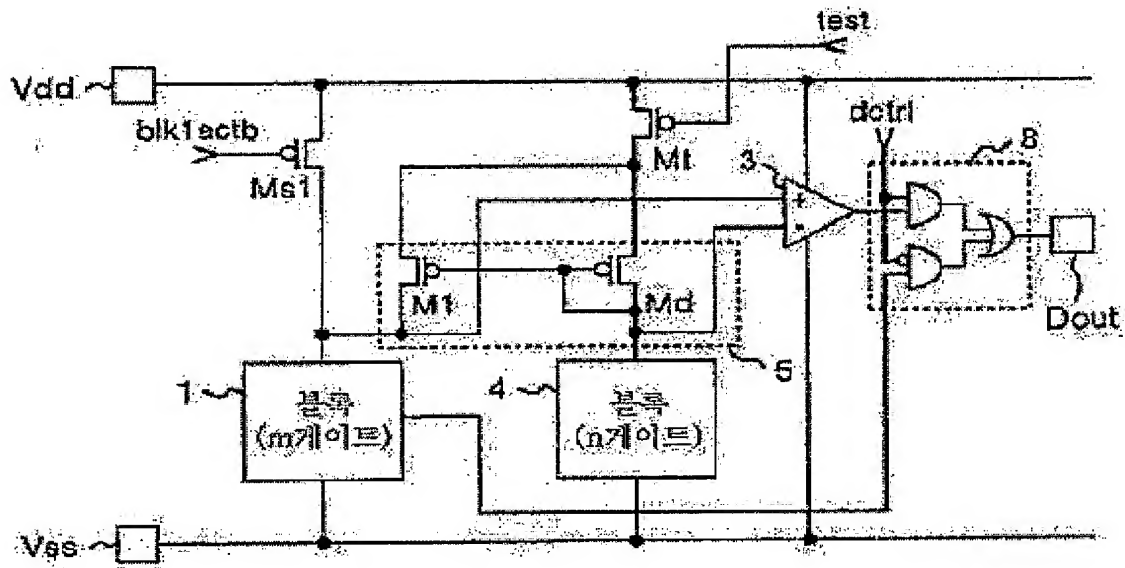
도면 11



도면 12



도면 13



도면 14

